

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204194

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 29/78
H01L 21/316

(21)Application number : 07-229650

(71)Applicant : SILICONIX INC

(22)Date of filing : 14.08.1995

(72)Inventor : HSHIEH FWU-IUAN
CHANG MIKE F
HO YUEH-SE
OWYANG KING

(30)Priority

Priority number : 94 290323

Priority date : 15.08.1994

Priority country : US

(54) TRENCHED DMOS TRANSISTOR WHICH IS MANUFACTURED BY A COMPARATIVELY SMALL NUMBER OF MASKING PROCESSES AND HAS A THICK OXIDE LAYER IN A TERMINAL REGION, AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DMOS transistor which is manufactured by a comparatively small number of masking processes and has improved process controllability and yield voltage stability, and its manufacturing method.

SOLUTION: A trench type DMOS transistor is formed by using seven masking processes. Deep body regions 106, 108 of a P+ type are defined by one out of the processes. The active region of a transistor in which a mask is formed is formed by an LOCOS process. By the other masking process, an insulating oxide layer 118 of a terminal region 116 which layer is thicker than the active region of the transistor is defined. Thereby the contamination of a substrate in the manufacture process is reduced, and process controllability can be improved. Further by the thick field oxide layer 118 of the terminal region, the electric field distribution is improved, and the electron avalanche yield voltage can be more stably expected.

BEST AVAILABLE COPY



LEGAL STATUS

[Date of request for examination]

12.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204194

(43) 公開日 平成8年(1996)8月9日

(51) IntCl ⁶ H01L 29/78 21/318	識別記号	庁内管理番号	F I	技術表示箇所
			H01L 29/78 21/94 29/78	301 V A G
			審査請求	未請求 請求項の数5 FD (全8頁)

(21) 出願番号 特願平7-229850
(22) 出願日 平成7年(1995)8月14日
(31) 優先権主張番号 08/290,823
(32) 優先日 1994年8月15日
(33) 優先権主張国 米国 (US)

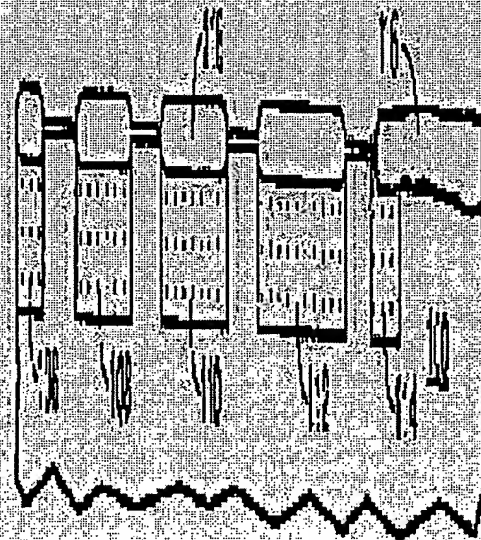
(71) 出願人 591077450
シリコニックス・インコーポレイテッド
SILICONIX INCORPORATED
アメリカ合衆国カリフォルニア州95054・
サンタクララ・ローレルウッドロード
2201
(72) 発明者 フォーイユアン・シイエ
アメリカ合衆国カリフォルニア州95070・
サラトガ・セピラレーン 20768
(74) 代理人 弁護士 大島 陽一 (外1名)

最後頁に続く

(54) 【発明の名称】 比較的少ない数のマスキング工程で製造され、末端領域に厚い酸化層を有するトレンチ型DMOSトランジスタとその製造方法

(57) 【要約】 (修正有)

【課題】 比較的少ない数のマスキング工程で製造される、プロセス制御性及び駆動電圧の安定性を改善したDMOSトランジスタと、その製造方法を提供する。
【解決手段】 トレンチ型DMOSトランジスタを7つのマスキング工程を用いて製造するが、その工程の一つで、P+型の深い本体領域108、108が画定され、LOCOS工程によりマスクを形成されたトランジスタのアクティブ領域が形成される。別のマスキング工程により、トランジスタのアクティブ領域よりも厚い末端領域116の絶縁酸化層118が画定され、これによって製造工程での基盤の汚染を低減し、プロセス制御性を改善することが出来る。更に末端領域の厚いフィールド酸化層118によって電界分布が改善され、電子なだれ駆動電圧がより安定した予想可能なものとなる。



【特許請求の範囲】

【請求項1】 主要な表面領域を有し第1導電型である半導体基板を用意する過程と、

前記主要な表面領域上にパターンをなすマスク層を形成する過程と、

前記マスク層によって露出された前記基板の一部に於いて第2導電型の半導体領域にドーピングを施して、トランジスタの深い本体領域を形成する過程と、

前記マスク層によって露出された前記主要な表面領域の一部であって、前記トランジスタの末端領域部分を含む、該領域上に酸化層を成長させる過程と、

前記基板上に複数の溝を形成する過程と、

前記溝の内部及び前記酸化層の少なくとも一部の上に電気伝導材料の層を形成する過程であって、前記溝の内部の前記電気伝導材料の層の部分がトランジスタのゲートとなる、該過程と、

前記基板上に前記第2導電型のドーピングを施された第1領域を、前記主要な平面のマスクされていない部分から前記基板に至るまで延在する形で形成する過程と、

前記基板上に前記第1導電型のドーピングを施された第2領域を、前記主要な平面のマスクされていない部分から前記基板に至るまで延在する形で形成する過程であって、前記第1及び第2のドーピングを施された領域がそれぞれ前記トランジスタの本体部分及びソース領域となる、該過程と、

前記主要な表面及び前記電気伝導材料層の上層をなす、パターンを形成した絶縁体層を形成する過程と、

前記主要な表面の上層をなし、前記パターンを形成する絶縁層の上に設けられた、前記深い本体部分、本体、及びソース領域、及び前記ゲート電極と接続するパターンをなす相互の接続層を形成する過程とを有することを特徴とする電界効果トランジスタの製造方法、

【請求項2】 前記電気伝導材料の層を形成する過程が、前記トランジスタの前記末端領域上の前記電気伝導材料層の部分形成する過程と、

前記末端領域の電気伝導材料層の部分と、前記第2導電型のドーピングを施された半導体領域の少なくとも1つとを電気的に接続をなす過程とを有することを特徴とする請求項1に記載の方法、

【請求項3】 主要な表面領域を有し第1導電型である半導体基板を用意する過程と、

前記主要な表面領域上にパターンをなすマスク層を形成する過程と、

前記マスク層によって露出された前記基板の一部に於いて第2導電型の半導体領域にドーピングを施して、トランジスタの深い本体領域を形成する過程と、

前記パターンをなすマスク層で露出された前記主要な表面部分の下層をなす前記基板の部分の上の、前記トランジスタの、第2導電型のドーピングを施された深い本体領域を形成する過程と、

前記主要な表面の前記パターンをなすマスク層で露出された部分であって、前記トランジスタの末端領域を含む部分上に局部的に酸化層を成長させる過程と、

前記パターンをなすマスク層を除去して、前記主要な表面部分の残りの部分を露出する過程と、

前記主要な表面領域の前記露出された残りの部分の下層をなす前記基板の部分に於いて、ドーピングをなされた本体領域、ドーピングを施されたソース領域、及び前記トランジスタのゲート領域を形成する過程とを有することを特徴とする電界効果トランジスタの製造方法、

【請求項4】 第1導電型を有し、主要な表面領域を有する半導体基板と、

第2導電型を有する際であって設けられた複数のドーピングをなされた半導体領域であって、前記主要な表面領域から前記基板の内部に至るまで延在し、前記トランジスタの深い本体領域である、該半導体領域と、

前記主要な表面領域から前記基板の内部まで延在し、電気伝導材料によって満たされた複数の溝と、

少なくとも一つ以上の溝と隣接する前記主要な表面領域から前記基板の内部にまで延在し、それぞれ前記トランジスタのソース領域及び本体領域をなす前記第1及び第2導電型のドーピングを施された領域と、

前記トランジスタの末端領域を含む前記主要な表面領域の部分の上に形成されたフィールド酸化層とを有することを特徴とする電界効果トランジスタ、

【請求項5】 前記末端領域に於いて前記フィールド酸化層の上層をなし、前記第2の電気伝導率のタイプのドーピングされた半導体領域の少なくとも一つに電気的接続をなされた電気伝導層をさらに有することを特徴とする請求項4に記載のトランジスタ、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、7つのマスク工程のような、比較的少ない工程で製造される、細長い溝（French）、と深い拡散領域を有し、厚い誘電体層を末端領域に形成したトレンチ型DMOSトランジスタとその製造方法に関する。

【0002】

【従来の技術】DMOSトランジスタはMOSFETの1つの形式として知られ、トランジスタ領域の形成に拡散が用いられ、典型的な応用分野にパワー・トランジスタとしての使用が上げられる。このようなデバイスは、自動車の電気系統、電源、電源制御装置といった幅広い応用範囲を有する。

【0003】何年にも亘って、パワー-MOSFET装置の製造のためにさまざまな異なる工程が用いられてきたが、深い拡散工程は一般的に使用されるものである。基板に溝を有するトランジスタがよく知られているが、この溝は深い酸化層に形成されたもので、そこに電気伝導性ポリシリコンを埋め込むことによってトランジスタゲ

ート構造体を形成する。

【0004】従来技術に於いては、トレンチ型MOSトランジスタはその製造工程において、さまざまなトランジスタ領域、即ちアクティブトランジスタ領域が形成されたタブ、トランジスタの本体部分、トランジスタのソース領域、それぞれが分離拡散領域となる本体接合領域、フィールドプレート及びフィールドリングのような末端構造体などを画定するために、比較的多くの（例えば9か9の）マスキング工程を必要とするという欠点を有する。追加的なマスキング工程によって、トランジスタの酸化層及びポリシリコン部分が形成される。各追加的なマスキング工程ではマスクの整合をとる必要があるが、これは歩留まりを低下させる整合エラーが発生する可能性があるということでもある。更に、温度変化のサイクルを含む数多くの工程によって注入されたイオンの一部が必要以上に拡散してしまう傾向があり、これによっていろいろな拡散領域の横方向の広がり及び／若しくは深さが変えられてしまうことになる。

【0005】従って、比較的少ないマスキング工程からなるトランジスタ製造工程が必要とされている。

【0006】また、本発明に於いて参照すべき、1994年5月31日に付与されたSze, Hon Kuan他を発明者とする「Trenched MOS Transistor Fabrication Using Six Masks」という表題の米国特許第5,316,959号におけるトランジスタの製造工程によれば、そのトランジスタの構造が、そのアクティブ（ゲート）領域に於ける酸化（誘電体）層の厚みと末端部分の厚みとが同じものとなる。この発明のトランジスタに於いてもパッシベーション（不活性）層及び浮遊ゲートからの充電効果によって降伏電圧の不安定性が生ずるという欠点があり、いくらかみられる。

【0007】

【発明が解決しようとする課題】 従って、本発明の目的は、比較的少ない数のマスキング工程で製造される、プロセス制御性及び降伏電圧の安定性を改善したトランジスタと、その製造方法を提供することである。

【0008】

【課題を解決するための手段】 本発明に基づくトレンチ型MOSトランジスタは、比較的浅いトランジスタアクティブ領域を有するようその実施例の1つに於いては、比較的細長く浅い溝を有する、厚いフィールド酸化層を成長させる前に、トランジスタの末端領域の基板の主要な表面を露出させる形の追加的なマスキング工程を実施することによって、フィールド酸化誘電体層が末端領域に形成されるが、これはトランジスタのアクティブ部分に於けるゲート酸化層よりも比較的厚いものである。末端領域に厚いフィールド酸化層を設けることによって電界分布が改善され、電子なだれ降伏は末端領域よりもセル（アクティブ）領域に於いて発生しやすくなるので、降伏電圧の挙動はより安定し、予想しやすいものとなる。

る。更にこの厚い酸化層によって、プロセス制御性も改善される。また、末端領域の厚い酸化層によって、下層をなす基板が、上層からのドーパント若しくはイオンにより汚染されるのを防止することができ、また、末端領域に於ける漏れ電流の問題も低減することができる。

【0009】実施例の1つに於いては、末端領域に於ける厚いフィールド酸化層に加えて、フィールドプレート（field plate）も設けられるが、これはトランジスタアクティブ領域のソース領域への金属配線によって、ガードリング（guard ring）との電気的接続をなされている。

【0010】

【発明の実施の形態】 本発明の理解のため、以下の米国特許及び米国特許出願を参照されたい。第1に参照すべきは、Hamza Yilmaz他による「Low On-Resistance Power MOS Technology」という表題の米国特許第5,304,831号であって、これは5つのマスキング工程を用いたMOSトランジスタの製造方法に関するものである。第2に参照すべきは、Izak Benicvalによる「Field Effect Transistor Having Edge Termination Utilizing Trench Technology」という表題の1993年7月23日に出願された米国特許出願第07/918,996号である。

【0011】以下、本発明に基づく7つのマスキング工程を有する製造工程について説明する。但し、以下の説明で参照されるべき図面に示された7つのマスキング工程は、図面に示されたものに限られるものでなく、本発明に基づく他のさまざまなマスキング工程からなる製造工程が実現可能であることは理解されよう。

【0012】図1に於いて、本発明に基づくN-チャネル工程は、従来と同じN+ドーピングをなされたシリコン基板（図示せず）上に形成された、例えば0.20〜2.00μmの抵抗率を有するN+ドーピングをなされたエピタキシャル層100を使用しており、この層100は例えば0.001〜0.0100μmの抵抗率を有し、5〜15μmの厚みを持つ物でも良い。ここで、基板の厚みは約50.0μmである。二酸化シリコンの薄い層102はエピタキシャル層100の主要な表面上に於いて300〜500Åの厚みに成長させられ、その上に100〜2000Åの厚みを有する酸化シリコンのマスク層104が形成される。マスク層104は、従来のようにパターンに形成されエッチングされる。その後、酸化酸素プロセスを用いることによって、若しくは30〜60keVのエネルギーで2×10¹³〜1×10¹⁶/cm²ドーズの酸素をマスク層104を通して注入することによって酸素が付着させられ、P+型の深い本体領域106、108を形成するが、これは約2〜3μmの深さを有し、主要な領域に於ける濃度が1×10¹⁶〜2×10¹⁸/cm³であって、P+型フィールドリング（末端構造体）110、112、114に似たもの

である。

【0013】次に図2に於いて、マスク層104による、末端領域116でパターンをなす追加的なマスクが形成され、そこでは薄いゲート酸化層102が比較的露出された形となっている。この追加的なマスキング工程は、前記の米国特許第5,131,695号に於いて開示された方法を改善するものである。

【0014】図3に示す5000~8000Åの厚みを有するシリコンの局所酸化層（LOCOS層）118が、酸化マスク層104を除去してアクティブトランジスタセル及び装置の末端部分を画定した後、厚いフィールド酸化層に成長させるべく設けられる。（図1から図11に於いて装置の末端領域とは図の右側の領域を指し、トランジスタの中心のアクティブセル部分とは図の左側部分を指す。また、工程は概略図によって示されており、図面は一定の尺度には従っていない。）

【0015】図3に於いて示すように、厚いフィールド酸化層118は末端領域116上に延在している。

【0016】次に図4に於いて、LPO（低温酸化）第2マスク層（図示せず）は従来のようにパターンをなす形で設けられ、溝120、122、124、126はそれぞれ深さ1.5~3μm、幅1~2μmのサイズに、非等方反応性イオンによるドライエッチングによって形成される。溝120、122、124はゲート電極溝として設けられ、溝124、126は、フィールドリングを、隣接する構造体から分離する役割を果たす。溝の壁及び角部分を等方性のプラズマによる「円孔（round hole）」エッチングによって滑らかにし、かつ雑性となる酸化層を成長させてその後の酸化層を除去した後、ゲート酸化層130は、従来のように溝120~126の側壁部に於いて100~1000Åの厚みに成長させられる。

【0017】次に図5に於いて、少なくとも各溝の大きさと同じ厚み及び幅を有するポリシリコン層132を設けることによって各溝をプレーンにする。この比較的厚いポリシリコン層132は部分的に（マスクなしで）ドライエッチングされ、0.5μmの厚みにされる。フォトリソマスク（図示せず）により主要な表面の領域を保護することによって、基盤の表面のポリシリコン層及び酸化層は化学的ウェットエッチングによって除去される。残ったポリシリコン132は次にドーピングをなされて、導電率が20%面積より小さいものにされる。次にポリシリコン132によるマスク層の形成と、第2ポリシリコンの「デフレックタブル（defleckable）」エッチングが行われ、次の工程のための溝を設けた図5のような構造が形成される。LOCOS酸化工程を用いて酸化工程に於ける高さを低くすることによって、従来の技術のポリストリンガー（poly stringer）の問題は起こらなくなる。

【0018】図6に示すように、被覆層のP-イオン

を本体へ約50KeVのエネルギーで $2 \times 10^{13} \sim 5 \times 10^{13}/\text{cm}^2$ ドーズ注入し、拡散させて、表面温度が最終的に約 $2 \times 10^{17}/\text{cm}^2$ となるようにすることによって、本体領域134、136、138が形成される。

【0019】次に被覆N+拡散ソースを50~120KeVのエネルギーで、 $1 \times 10^{15} \sim 1 \times 10^{16}/\text{cm}^2$ ドーズ注入し、拡散させて、最終的な表面温度を $5 \times 10^{18}/\text{cm}^2$ として、図7のようにN+型ソース領域140、142を形成する。N+型ソース領域140、142の深さは約0.5μmである。

【0020】そして、図8に示すように、蛍光増強ガラス（BPSG）146の層を、従来のように構造体全体の上に約1.35μmの厚みで設ける。次に、図9のように、BPSG層146は、パターンをなす形でマスクされて、トランジスタ構造体に電極接触開口部150、152、154、156が設けられる。また、BPSG層146の末端領域に設けられた開口部158はこの工程に於いて形成される。そしてBPSG層146は、従来のようにその角の部分を滑らかにするべくリフロー（reflow）される。

【0021】次に、図10のように、金属層150（例えばアルミニウム若しくはアルミニウム+1%のシリコン）が、スパッタリング（sputtering）の後、従来のパターンをなすマスク層を用いたエッチングのような手段を用いることによって、構造体全体の上に形成される。

【0022】次に、図11のように、PSGまたはプラズマ酸化層のような不活性化層152がマスキングによって形成され、ゲート及びソース領域の接続をなす結合パッド開口部（図示せず）がその層を貫通する形で設けられる。

【0023】前記の米国特許第5,131,695号に開示された構造とは対照的に、ここでは、厚いフィールド酸化層118が、図11の右側の末端領域の端部に至るまで延在し、上記のような利点をもたらしている。また、ここではP+ドーピングを成された領域114が上層をなす金属接合部1606によって接続されている。最終的な末端領域の構造は、接合部1606によってポリシリコンプレート132bとの電気的接続をなされ、トランジスタソース領域との接続もなされたP+ガードリング1114となる。

【0024】ポリシリコンフィールドプレート132bによって、末端領域に於けるP+/N接合部の近傍に於ける電界分布を良い形のものとすることによって、末端領域の降伏電圧が改善される。

【0025】後述するように、図1から図10に示す本発明の製造工程の実施例の1つに於いては、7つのマスキング工程が利用される。この7つのマスキング工程とは以下のようなものである。

【0026】（1）図1のように層102に設けられた

開口部を通してP+領域がドーピングされる。本体部分の深いP+マスキング工程。

【0027】(2) マスク層104に追加的な開口部が設けられて、図2のように末端領域116上にL.O.C.O.S酸化層118が成長させられる。末端領域でのパターンをなす形のマスキング工程。

【0028】(3) フォトリソスト層によってパターンを形成し、図4のように溝120~125を画定する薄のマスキング工程。

【0029】(4) フォトリソスト層を防護のために利用して、図5に示すようにポリシリコン層132の部分を画定するポリシリコンマスキング工程。

【0030】(5) B.P.S.G層146の一部を除去して、図9のようにP+型領域との接続部分及び溝124に於けるドーピングされたポリシリコンとの接合部分を形成する。接合開口部マスキング工程。

【0031】(6) 金属層160の一部を除去して、金属ソース電極160a、金属ゲート突起部分160b及びガードリング接合部160cを図10のように露ける金属マスキング工程。

【0032】(7) 不活性化層162の一部を除去して、ゲート結合パッド及びソース結合パッドを露出する。従来のようなパッドマスキング工程。

【0033】上記の工程は、図示したようにN+チャネルバーチカルDMOSトランジスタ装置の製造方法であることは理解されよう。様々な半導体領域のドーピングの型を反対にすることによって、P+チャネルバーチカルDMOSトランジスタ構造も形成することが出来る。

【0034】図11の構造を参照すると、フィールドリング112、114は絶縁溝126によって隔てられ、フィールドリングが互いに近接し且つ隔てられた形で配置され、チップの表面領域が保存されることになる。溝126はドーピングされたポリシリコンによって満たされる。溝124もポリシリコンによって満たされ、ゲート突起電極に電気的に接続されており、ゲート突起電極は(図10のフレーションの外側部分に於いて)溝120、122を満たすドーピングされたポリシリコンに接続されている。ドレイン電極は従来のように基盤の表面(図示せず)上に形成される。

【0035】溝122のすぐ右隣にある領域はアクティ

ブ(ソースもしくは本体)領域を持たず、末端部分に隣接したダミーセルとして設けられているが、このダミーセルは実施例によっては無くてもよい。また、上記の工程は、上記とは異なる、末端領域を有するトランジスタに適用することも出来る。

【0036】本発明の、上記の、或いは図面に示した実施態様は、これに限られるものでなく、明細書の内容及び特許請求の範囲を逸脱することなく様々な改良をなし得ることは当業者には容易に理解されよう。

【0037】

【発明の効果】従って、本発明に従えば、比較的少ない数のマスキング工程で製造される、プロセス制御性及び降伏電圧の安定性を改訂したトランジスタと、その製造方法を提供することができる。

【図面の簡単な説明】

【図1】—

【図11】本発明に基づくトランジスタを形成する各工程シーケンスの断面図である。

【符号の説明】

- 100 エピタキシャル層
- 102 ゲート酸化層
- 104 マスク層
- 106、108 本体領域
- 110、112、114 フィールドリング
- 116 末端領域
- 118 L.O.C.O.S層(フィールド酸化層)
- 120、122、124、126 溝
- 130 ゲート酸化層
- 132 ポリシリコン層
- 132b ポリシリコンフィールドプレート
- 134、136、138 本体領域
- 140、142 N+型ソース領域
- 146 B.P.S.G(蛍光透過酸ガラス)層
- 158 開口部
- 160 金属層
- 160a 金属ソース電極
- 160b 金属ゲート突起部分
- 160c ガードリング接合部
- 162 不活性化層

【図1】



【図2】



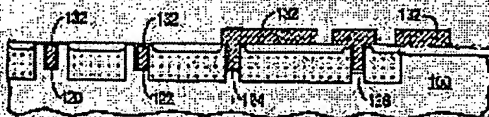
【図3】



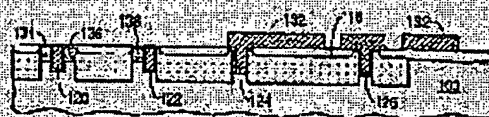
【図4】



【図5】



【図6】



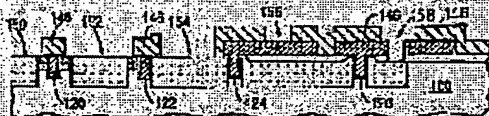
【図7】



【図8】



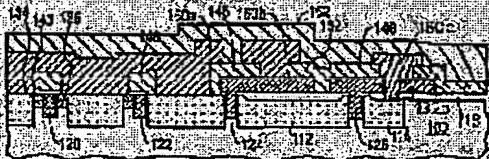
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 マイク・エフ・チャン
アメリカ合衆国カリフォルニア州95014・
クーパーティン・サウスブレイニア
ニュー 10343

(72)発明者 ユージー・ホー
アメリカ合衆国カリフォルニア州94066・
サニーベイル・アイリスアベニュー 735
(72)発明者 オウヤング・キング
アメリカ合衆国カリフォルニア州94026・
アサートン・エンジーナアベニュー 66